

[11]公告編號：494325

[44]中華民國 91 年 (2002) 07 月 11 日

發明

全 13 頁

[51] Int.Cl⁰⁷： G06F17/50

[54]名稱：系統單晶片驗證的方法和裝置

[21]申請案號：089122468

[22]申請日期：中華民國 89 年 (2000) 10 月 25 日

[30]優先權：[31]09/428,746

[32]1999/10/28 [33]美國

[72]發明人：

羅奇·拉蘇曼

美國

矢元裕明

美國

[71]申請人：

艾德文斯特公司

日本

[74]代理人：林志剛 先生

1

2

[57]申請專利範圍：

1.一種內嵌核心組成的系統單晶片之設計驗證方法，多數功能核心被整合在系統單晶片中，此方法包括以下步驟：

驗證將整合到系統單晶片的個別核心，此步驟是用核心提供者所提供的每個核心的矽積體電路及模擬測試平台；

驗證在這些核心、晶片匯流排、接合邏輯之間的界面，此步驟是用系統整合工程師發展的模擬測試平台及接合邏輯的FPGA／仿真器；

驗證核心到核心的時序及系統單晶片階層的關鍵路徑；及

執行整體的設計驗證，此步驟用整體系統單晶片的模擬測試平台和執行應用程式。

2.如申請專利範圍第1項所述之設計驗證方法，其中，這些驗證步驟在指派多數驗證單元到各核心的矽積體

電路後進行。

3.如申請專利範圍第1項所述之設計驗證方法，其中，這些驗證步驟在指派多數驗證單元到各核心的矽積體電路後進行，其中，驗證單元的測試接腳的配置是參考待測矽積體電路的輸入輸出接腳。

4.如申請專利範圍第1項所述之設計驗證方法，其中，這些驗證步驟在指派多數驗證單元到各核心的矽積體電路後進行，其中，驗證單元配置為事件測試器以產生測試樣板，其測試樣板是事件為主的資料，其描述資料變化的值和變化的時序。

5.如申請專利範圍第4項所述之設計驗證方法，其中，各核心所用的測試平台資料是事件為主的格式，透過驗證單元中事件測試機，可以容易對系統單晶片中核心的錯誤進行除錯。

6.一種內嵌核心組成的系統單晶片之設計驗證方法，多數功能核心被整合在系統單晶片中，此方法包括以下步驟：

產生多數矽積體電路，其電路架構與對系統單晶片欲整合的核心相同；

提供多數驗證單元，並指定每一驗證單元給核心之每一矽積體電路；

用互連匯流排連接諸核心，該互連匯流排模造一被設計在系統單晶片中之一晶片型匯流排，用以連結於各核心間；

驗證整合到系統單晶片的諸核心，藉由對矽積體電路施以測試樣板，並監督矽積體電路反應的輸出；

其中，測試樣板是直接由核心提供者的模擬測試平台資料所產生。

7.如申請專利範圍第6項所述之設計驗證方法，還包括核心與接合邏輯間的界面的驗證步驟，其中，以仿真器來評估核心與接合邏輯間的界面。

8.如申請專利範圍第6項所述之設計驗證方法，還包括核心與接合邏輯間的界面的驗證步驟，其中，使用場效閘陣列(FPGA)來實現界面的功能和接合邏輯。

9.如申請專利範圍第6項所述之設計驗證方法，還包括核心間的時序驗證及系統單晶片階層關鍵路徑的驗證，其藉由提供依系統單晶片層測試平台資料產生的激勵給各別核心的矽積體電路。

10.如申請專利範圍第6項所述之設計驗證方法，還包括一步驟：執行完整系統的驗證，藉由用完整的測試平台及執行應用程式來驗證。

11.如申請專利範圍第6項所述之設計驗證方法，其中，驗證步驟是在將

各別核心的矽積體電路指定到驗證單元後實施。

12.如申請專利範圍第6項所述之設計驗證方法，其中，驗證步驟是在將各別核心的矽積體電路指定到驗證單元後實施，其中，每個驗證單元被配置成事件為主測試器，其產生的測試樣板是根據事件資料而得，用值變化和其時序描述測試樣板。

10. 13.如申請專利範圍第12項所述之設計驗證方法，其中，各核心的模擬測試平台以事件為主格式存在，因此藉驗證單元使系統單晶片的核心錯誤除錯容易進行，此驗證單元為事件為主測試器。

15. 14.如申請專利範圍第6項所述之設計驗證方法，其中，驗證步驟是在將各別核心的矽積體電路指定到驗證單元後實施，其中，驗證單元的測試接腳的配置是參考待測矽積體電路的輸入輸出接腳。

20. 15.一種內嵌核心的系統單晶片之設計驗證設備系統單晶片中整合有多數功能核心，該設計驗證設備包括：
25. 一台主系統電腦，用以連接使用者及控制設計驗證設備的所有操作；
多數驗證單元，從主電腦接收測試平台資料，並以此測試平台資料產生測試樣板，用來測試將整合到系統單晶片的功能核心，其中，每一
30. 驗證單元均包括一控制電腦，用以接收主系統電腦來的測試平台資料；
一個系統匯流排，用以連接主系統
電腦和各驗證單元；

35. 其中，多數矽積體電路被連接到驗證單元，以接收由驗證單元來的測試樣板並產生反應輸出，供驗證單元和主系統電腦評估，其中，矽積
40. 體電路搭載的內部架構和整合到系

統單晶片中的功能核心是相同的。

- 16.如申請專利範圍第 15 項所述之設計驗證設備，其中，每個驗證單元中的控制電腦根據從主電腦來的測試資料產生測試樣板給位於驗證單元的矽積體電路，並評估矽積體電路的反應輸出。
- 17.如申請專利範圍第 15 項所述之設計驗證設備，其中，每一個驗證單元被指定一個矽積體電路。
- 18.如申請專利範圍第 15 項所述之設計驗證設備，其中，每一個驗證單元被指定一個矽積體電路，其中，驗證單元的測試接腳是參考待測試矽積體電路的輸入輸出接腳來配置。
- 19.如申請專利範圍第 15 項所述之設計驗證設備，其中，每一個驗證單元有一群的測試接腳，驗證單元的接腳配置根據待測的矽積體電路自由地作改變。
- 20.如申請專利範圍第 15 項所述之設計驗證設備，其中，每一個驗證單元有一群的測試接腳，驗證單元的接腳配置根據待測的矽積體電路自由地作改變，其中，群的大小由主系統電腦依據指定到驗證單元的矽積體電路的輸入輸出接腳來決定。
- 21.如申請專利範圍第 15 項所述之設計驗證設備，其中，每一個驗證單元透過系統匯流排接收從主電腦來的測試資料，然後產生測試樣板給矽積體電路，其中，控制電腦被提供測給試樣板的每個測試接腳。
- 22.如申請專利範圍第 15 項所述之設計驗證設備，其中，驗證單元評估被指定的矽積體電路，以驗證對應的功能核心，且驗證單元透過用仿真器模擬界面和接合邏輯而進一步評估將整合到系統單晶片的核心和接合邏輯間的界面。

- 23.如申請專利範圍第 15 項所述之設計驗證設備，其中，驗證單元評估被指定的矽積體電路，以驗證對應的功能核心，且驗證單元透過用場效閘陣列實施界面和接合邏輯的功能而進一步評估將整合到系統單晶片的核心和接合邏輯間的界面。
5. 24.如申請專利範圍第 15 項所述之設計驗證設備，其中，主系統電腦和驗證單元驗證核心到核心的時序和系統單晶片階層的關鍵路徑，其藉由提供做系統單晶片層測試平台資料產生的激勵給代表各別核心的矽積體電路。
10. 25.如申請專利範圍第 15 項所述之設計驗證設備，其中，主電腦和各驗證單元檢查整體的設計驗證時，是以模擬測試平台及執行應用程式的方式進行。
15. 26.如申請專利範圍第 15 項所述之設計驗證設備，其中，主電腦和各驗證單元檢查整體的設計驗證時，是以模擬測試平台及執行應用程式的方式進行，其中，主系統電腦將應用程式分割成多個小的工作並分配到驗證單元，其將運算分割成多個次任務並將其以分配的方式指派到多數驗證單元。
20. 27.如申請專利範圍第 15 項所述之設計驗證設備，其中，主電腦和各驗證單元檢查整體的設計驗證時，是以模擬測試平台及執行應用程式的方式進行，其中，主系統電腦將應用程式分割成多個小的工作並分配到驗證單元，其將運算分割成多個次任務並將其以分配的方式指派到多數驗證單元，其中，主電腦把驗證單元來的矽積體電路的反應組合成單晶片系統的反應，藉以決定任何錯誤／失敗。
30. 35. 40.

- 28.如申請專利範圍第15項所述之設計驗證設備，還包括一片電路板在每個驗證單元中，電路板搭載對應的矽積體電路。
- 29.如申請專利範圍第15項所述之設計驗證設備，還包括一片電路板，搭載所有的待測的矽積體電路和接合邏輯。
- 30.如申請專利範圍第15項所述之設計驗證設備，其中，每一個驗證單元是配置成一個事件為主測試器，其產生的測試樣板是描述資料值變化和變化時序。
- 31.如申請專利範圍第30項所述之設計驗證設備，其中，各核心的測試平台以事件為主格式存在，藉此，有助於用驗證單元(是事件為主測試器)對系統單晶片除錯。
- 32.如申請專利範圍第15項所述之設計驗證設備，其中，每個測試單元被配置成事件為主測試器，包括：
 - 一個貯存時序資料的事件記憶體，記錄參考時間週期整數倍，和參考時間週期的分數，此時間資料是目前事件和預定參考點間的時間差距；
 - 一個位址循序器，產生用以存取事件記憶體之位址資料；
 - 一個事件計數邏輯，用來產生事件起始訊號，其為乘以資料的整數部分之參考時間週期所延遲；
 - 一個事件產生單元，以產生每個事件，其根據自事件計數邏輯之事件起始訊號和資料的分數部分，來規劃測試樣板；及
 - 一個驗證單元寫入解碼器，用以偵測驗證單元的位址，以指定驗證單元到矽積體電路的接腳。
- 33.一種內嵌核心的系統單晶片之設計驗證設備，該系統晶片予以整合以

多數功能核心，該設計驗證設備包括：

一台主電腦，做為至使用者之介面並控制所有的驗證設備和操作；

5. 多數驗證單元，用以接收從主電腦傳送來的測試平台資料並使用該資料以產生測試樣板，用以測試予以整合入系統單晶片中的多數功能核心；
10. 一系統匯流排，用以連接主電腦和多數驗證單元；
 - 其中，多數矽積體電路連到驗證單元，從驗證單元接收測試樣板，並產生反應輸出，給驗證單元及主電腦評估其結果，其中，矽積體電路搭載的內部架構和系統單晶片欲整合的功能核心相同；及
 - 其中，主系統電腦執行產生供應矽積體電路的測試樣板的所有的任務，評估矽積體電路反應輸出，進行系統單晶片的時序和界面的評估，及完整的系統單晶片設計驗證。
15. 圖式簡單說明：
20. 圖1顯示在功能核心設計及設計驗證中的各抽象層及其所對應的驗證方法。
25. 圖2是流程圖，顯示本發明的系統單晶片IC的整體觀念及設計驗證程序。
30. 圖3是方塊圖，顯示本發明的設計驗證的整體觀念，包括本發明的設計驗證站與電子設計自動化(EDA)環境的關係。
35. 圖4A是方塊圖，顯示圖3的電子設計自動化環境中的系統單晶片。
40. 圖4B是方塊圖，顯示圖3的設計驗證台的基本配置。
- 圖5是方塊圖，顯示本發明的設計驗證站的配置的一個更詳細的實施

例，在此設計驗證站中有多個驗證單元。

圖6是方塊圖，顯示圖5的驗證單元(VU)的配置例，其形式是事件測試器。

圖7是方塊圖，顯示待測系統單晶片中用以評估接合邏輯的驗證單元架構的範例。

圖8是方塊圖，顯示用以評估待測系統單晶片中接合邏輯的驗證單元

架構的另一範例。

圖9是方塊圖，顯示本發明的設計驗證站，其支援高階應用程式語言。

5. 圖10是方塊圖，顯示本發明的設計驗證站與一片附有待測功能核心的電路板間的另一種架構關係。

圖11是方塊圖，顯示本發明的設計驗證站的另一例，其中，多數驗證

10. 單元是由主系統電腦直接控制。

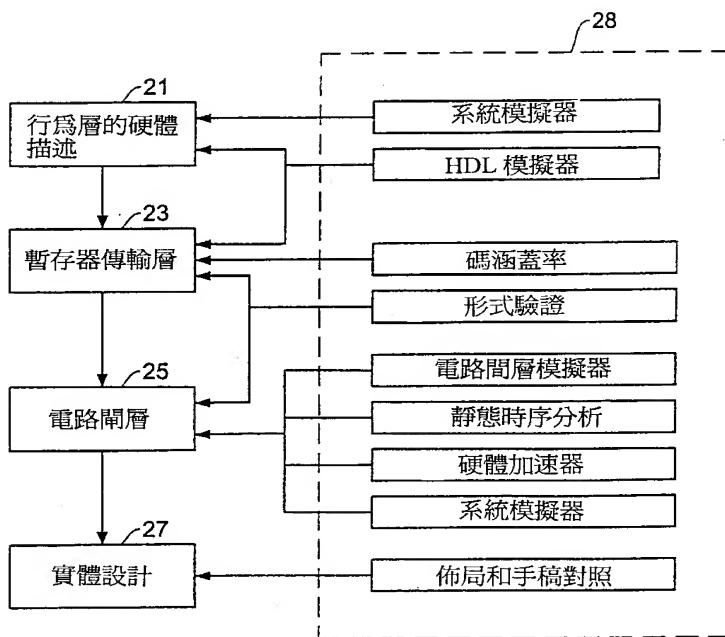


圖 1

(6)

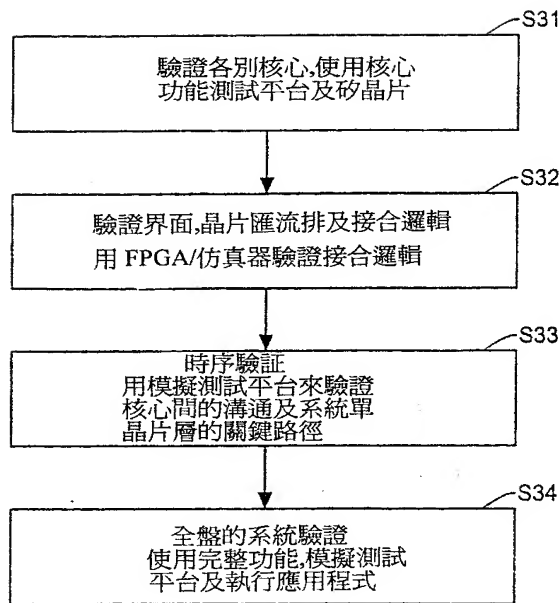


圖 2

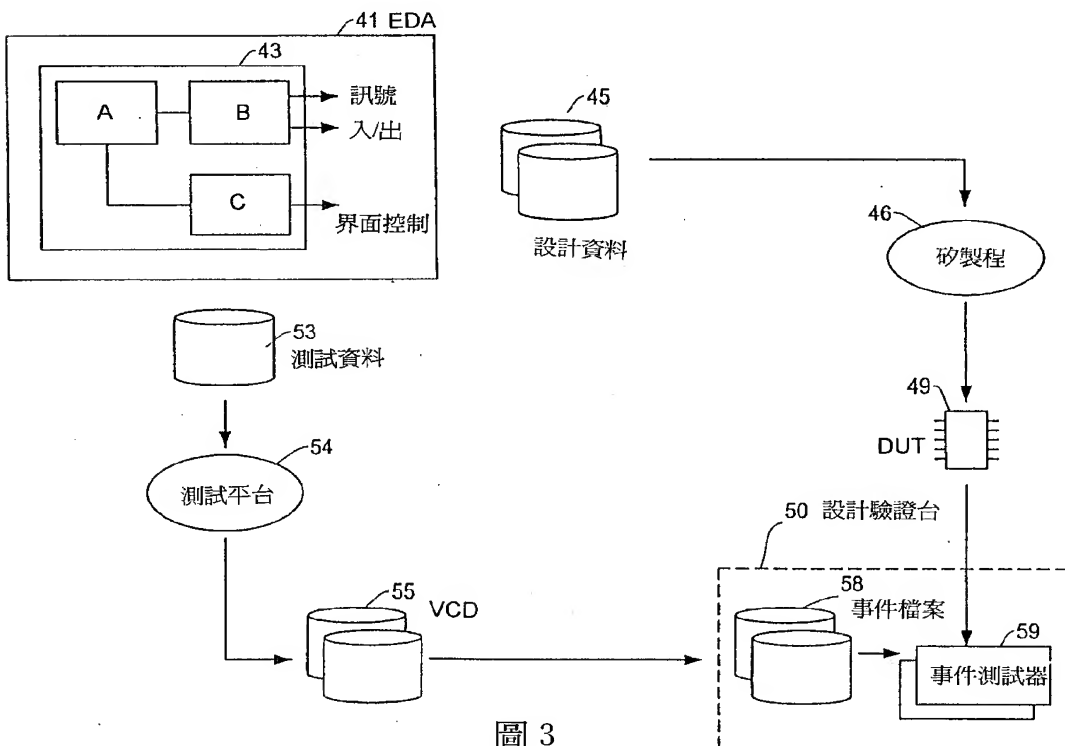


圖 3

(7)

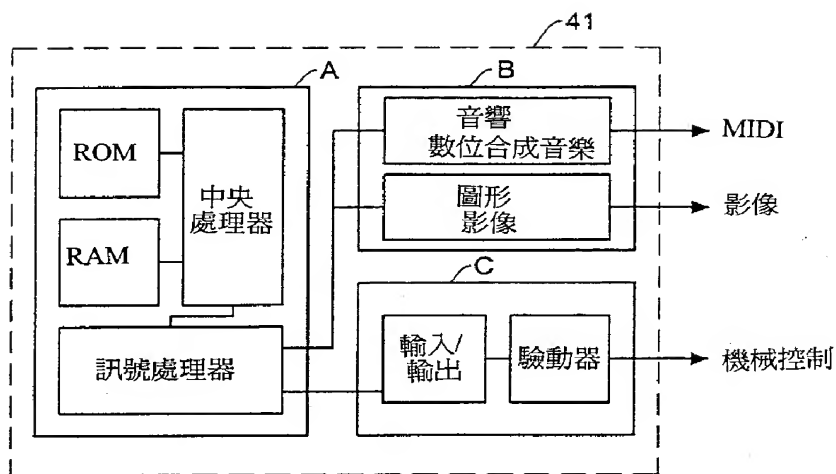


圖 4A

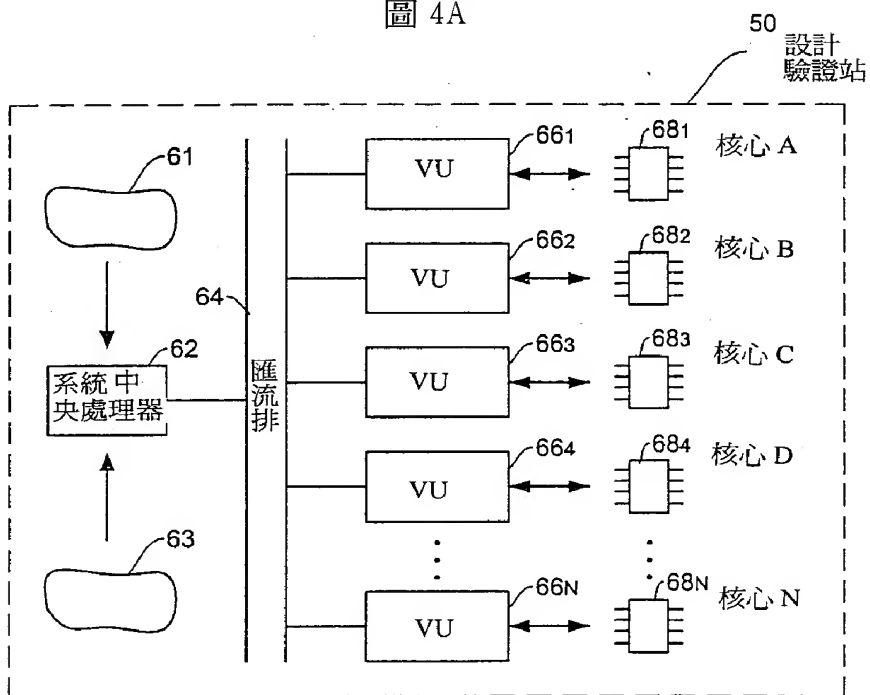


圖 4B

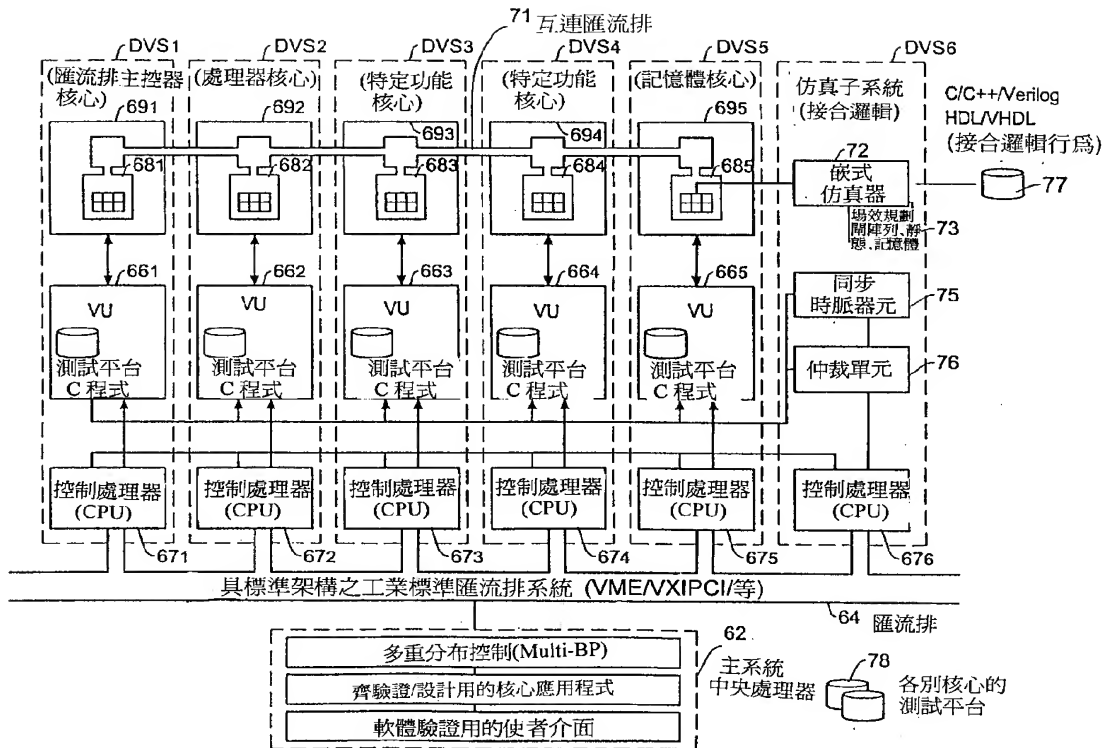


圖 5

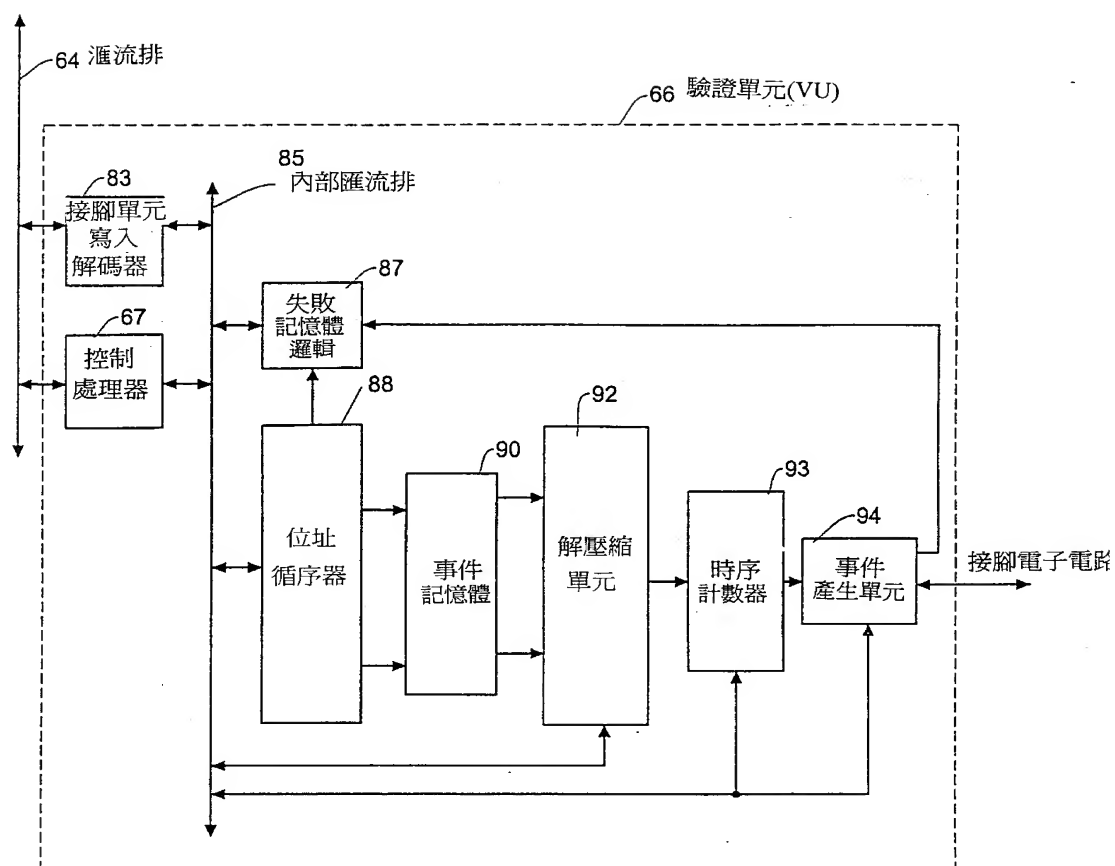


圖 6

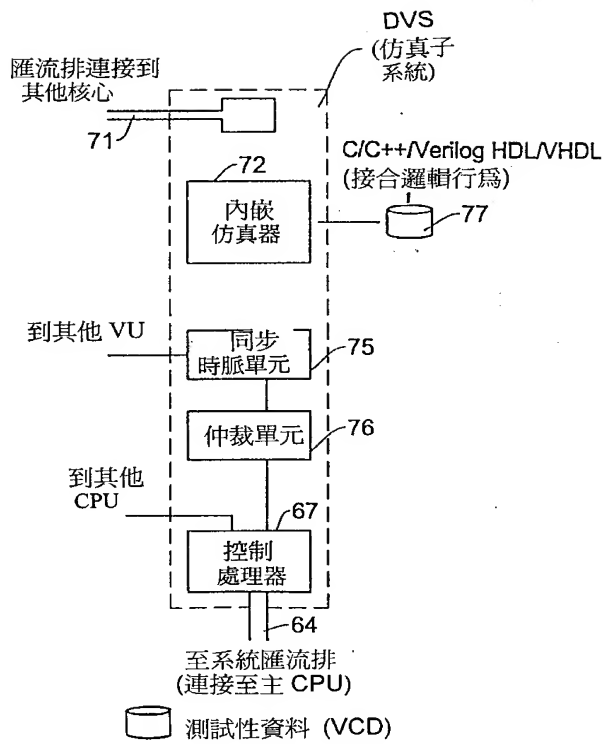


圖 7

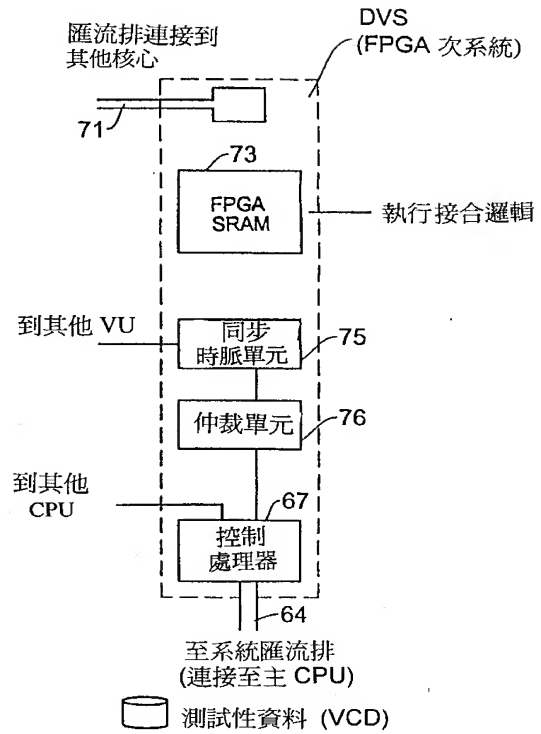


圖 8

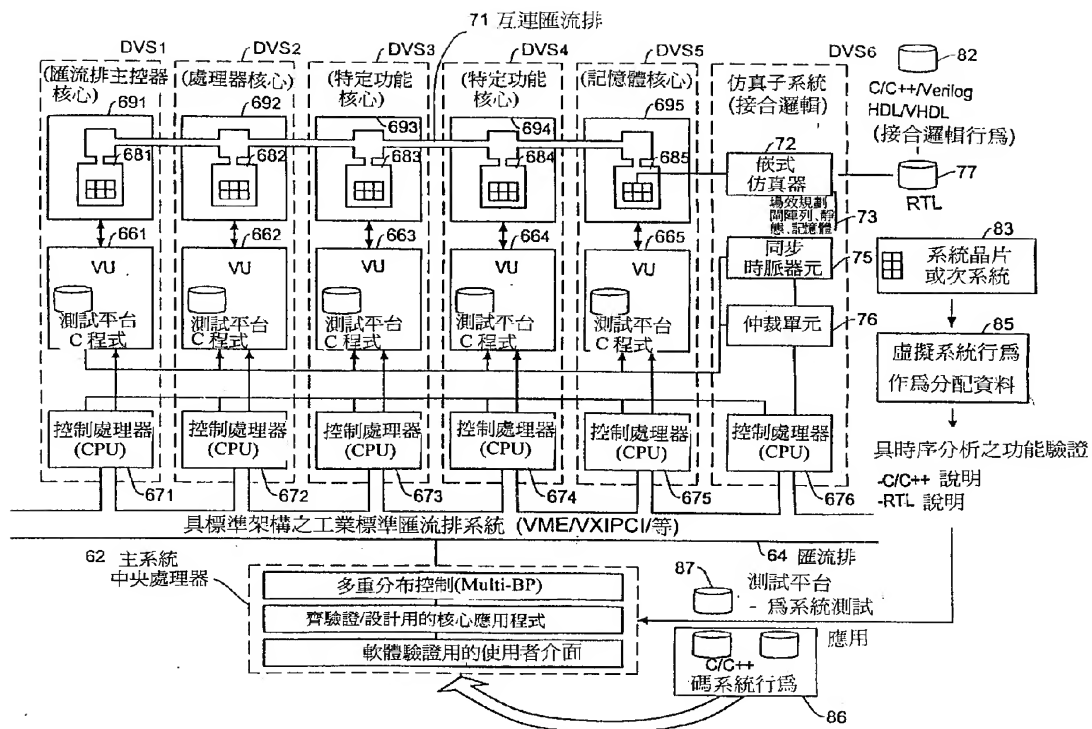


圖 9

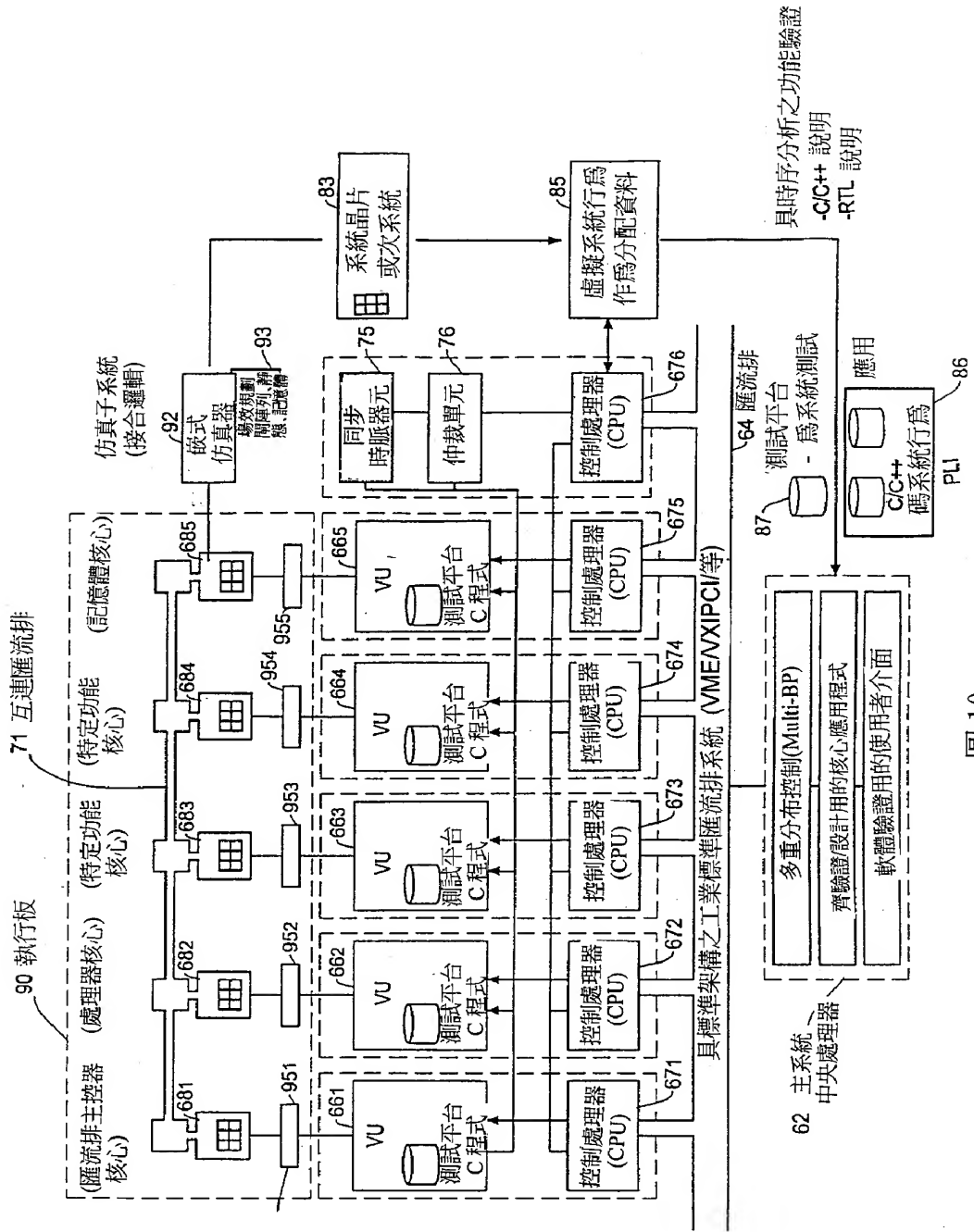
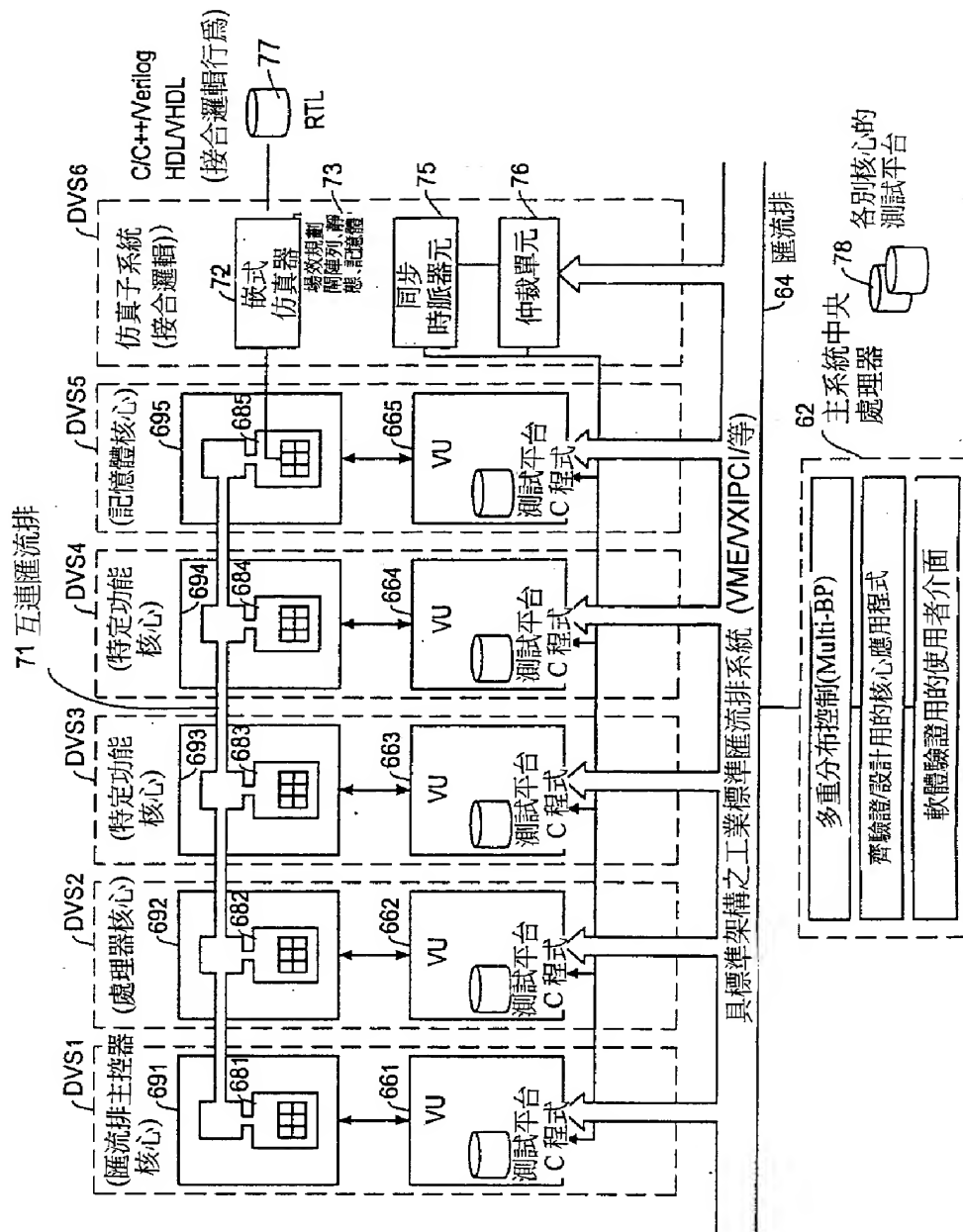


圖 10



11

